

合同编号：豫财磋商采购-2022-1261

郑州大学网络空间安全学院-FPGA 仿真系统及其软硬件配套
采购项目采购合同

甲方（全称）：郑州大学

乙方（全称）：河南省星盾信息技术有限公司

依照《中华人民共和国民法典》及有关规定，遵循平等、自愿、公平和诚实信用的原则，甲乙双方就本服务采购相关事项协商一致，共同达成如下协议：

一、合同内容及要求：

序号	分项服务内容	服务厂商	单位	数量	单价(元)	合价(元)
1	FPGA 原型验证平台 (UV-19P-Q)	上海合见工业软件集团有限公司	套	1	1470000	1470000
2	FPGA 开发计算平台 (H3C UniServer R6900 G3)	新华三技术有限公司	套	1	180500	180500
总价（元）			人民币壹佰陆拾伍万零伍佰元整 (¥1650500.00)			
备注：无						

二、合同总价款：

大写：人民币壹佰陆拾伍万零伍佰元整 小写：1650500.00

三、质量要求或服务标准，乙方对质量负责的条件和期限：

服务质量：符合国家、行业标准及采购人的要求

质保期：5 年

四、服务约定：

1、服务完成时间：合同签订后 4 个工作日内。

2、服务地点：采购人指定地点。

3、服务方式：符合国家、行业标准及采购人的要求。

五、验收标准、方法：（需提供三份验收资料）

(1) 硬件验收标准（硬件清单详见附件三）

1.1 交货地点：客户方指定地点。详细交货地址以客户方书面通知为准。

1.2 合同签署后，公司根据客户要求时间内完成货物交货，并根据客户方安排，提供通电测试、安装调试等服务，确保设备正常稳定运行。客户方将提供安装环境，给予配合。

1.3 货物运抵交货地，客户方及时进行验收，验收范围包括货物型号、规格、数量、包装、外观质量、配件、装箱清单、原产地证明及货物质量检验合格证书等方面内容。货物验收合格，客户与双方签署《到货验收报告》。在交货过程中发生意外事故以及其他原因造成的损失和风险由同公司承担。

1.4 公司应按照客户方要求在客户方规定时间内完成所有供货、安装调试等服务。

(2) 软件验收标准（软件清单详见附件三）

2.1 软件产品的验收标准

2.1.1 功能和性能符合性：软件功能和性能要实现客户方需求书中的所有技术要求。

2.1.2 质量要求：产品介质完好、可成功安装至环境。

2.1.3 进度要求：所有的实施工作均按实施计划中规定时间完成，且所有的已知缺陷或问题都已经修改完成。

2.1.4 产品可完全满足客户方提出的原型验证平台需求。对于产品当前版本无法满足需求指标的要求的，公司将明确升级版本或定制化版本更新的内容以及交付时间。更新版本同样需要进行验收，公司将提供相应的技术支持服务，后续将提供相关的文档。

(3) 文档的验收标准

3.1 软件产品文档齐备，包括版本说明、功能说明书、用户手册、安装手册、维护手册以及定制化开发部分的设计说明书。公司提交的所有文档使用客户方的文档模板。将在以下几个方面对提交文档进行评价，以确定是否符合要求。

3.2 文档完备性：是否按照合同及其附件要求提交了全部文档；针对以上软件，说明到整体架构每一步和每一层（详见附件二）

3.3 内容针对性：文档是否是客户方要求的文档；

3.4 内容充分性：文档是否全面详细体现了从硬件仿真到 Linux 命令行的所有

软件层级的内容；

3.5 符合客户方规范程度：是否很好地符合客户方要求的规范、标准；

3.6 内容一致性：是否存在前后矛盾；

3.7 文档可操作性：是否能够通过文档完整复现整个系统流程，文档可被充分理解。

六、结算方式及期限：

验收合格并经审计后付合同总金额的 95%，余款在质保期满 30 天内结清。

七、免费质保约定：

质保期内我方提供 7×24 小时售后服务响应机制，对项目设备在质保期内实行包修、包换、包退等三包服务，不再向用户收取任何费用，在保修期内对影响生产的软件故障提供 7*24 服务，1 小时内响应，2 小时内提供补救方案，4 小时内恢复；对不影响生产的软件故障，提供 7*24 服务，1 小时内响应，1 日内恢复，期间产生的所有费用均有我公司方承担，每年提供不少于 3 次上门保养服务。

八、售后服务承诺（包括服务的内容、方式、响应的时间、电话、质保期满结束后的维保等相关内容）：详见附件一

九、履约担保

乙方提供履约担保的形式：以转账的方式提供；

履约担保金额：合同总价款的 5%；

履约担保期限：履约担保的有效期始于工程开工之日，终止日期则可以约定为工程竣工交付之日。履约担保金在签订合同前交学校财务处，工程竣工验收合格交付使用后履行手续退还。

十、违约责任：

1、乙方违约：乙方提供的服务内容不符合约定的质量要求或服务标准，甲方有权解除或终止合同，并要求乙方按合同总价款的 5%支付违约金，给甲方造成经济损失的，乙方还应按给甲方造成的经济损失赔偿；乙方未按约定期限交付标的物，每迟延一天须按合同总价款的 1%向甲方支付违约金。如果乙方对合同迟延履行超过合理期限，甲方有权解除或终止合同，并且要求乙方赔偿由此给甲方造成的经济损失。

2、甲方违约：甲方未能按双方约定的方式和期限支付合同价款，按有关法律的规定对乙方承担违约责任。

3、双方其他违约责任按《中华人民共和国民法典》的有关规定处理。

十一、争议解决

双方在执行合同时产生纠纷，协商解决；协商不成，向甲方所在地人民法院提起诉讼。

法律文书寄送地址（乙方）：河南省郑州市高新技术产业开发区长椿路 11 号
大学科技园研发 5 号楼 13 幢 B 座 5A10-1 号

十二、其它约定事项：无

十三、本合同未尽事宜经双方协商可另订补充协议。

十四、本合同正本八份、副本一份，发包人执四份，承包人执二份，报
送招标代理机构二份。

十五、本合同自甲乙双方签字并盖章之日起生效，随合同履行完成而自行终止。

甲方（盖章）：郑州大学

法定代表人或代理人：

单位地址：郑州市高新技术产业开发区科
学大道 100 号

电话：

开户银行：

户名：

帐号：

签定日期：2022年12月30日

签约地点：郑州市

乙方（盖章）：河南省星盾信息技术有限公司

法定代表或代理人：

单位地址：河南省郑州市高新技术产业开发区长椿路 11 号大学科技园研发 5 号楼
13 幢 5A10 号

电话：13087065316

开户银行：中国建设银行股份有限公司郑
州科技支行

户名：河南省星盾信息技术有限公司

帐号：41050167660800002323

签定日期：2022年12月30日

附件一：

售后服务承诺

致：郑州大学

我公司就采购编号：豫财磋商采购-2022-1261、项目名称：郑州大学网络安全学院-FPGA 仿真系统及其软硬件配套采购的项目如果我公司中标，响应招标文件要求作出以下服务承诺：

1、售后服务方案

(1) 维护时间、问题解决响应时间

全部产品提供 5 年免费质保，并终身维护。

质保期内我方提供 7×24 小时售后服务响应机制，对项目设备在质保期内实行包修、包换、包退等三包服务，不再向用户收取任何费用，在保修期内对影响生产的软件故障提供 7*24 服务，1 小时内响应，2 小时内提供补救方案，4 小时内恢复；对不影响生产的软件故障，提供 7*24 服务，1 小时内响应，1 日内恢复，期间产生的所有费用均有我公司方承担，每年提供不少于 3 次上门保养服务。

(2) 售后服务方案内容、方式

交货期：合同签订后 4 个工作日

软件缺陷管理：

针对公司提供的验证中存在的 bug、缺陷，持续提供修正与消缺服务，并提供必要的补丁版本的升级服务。

需求变更：

对于学校研究目标的变化、性能要求提升导致的部署结构变化、集成需求变更、培训目标的演进以及集成数据调整，提供配套的支持服务。

运行支持：

对系统运行过程中系统管理员及业务管理员的问题提供解答和问题解决跟踪，对于关键业务点的运行提供保障。

我单位保证所提供产品为投标型号的产品，并保证其提供的设备及其附件为全新。所购设备采用的是优质材料和先进工艺，均符合国家规定的质量、规格和性能。设备制造商对产品生产的全过程严格按质量保证体系执行。保证设备及其组建经过正确安装、正确操作和保养，在其寿命内运行良好。由于设计、材料或工艺的原因造成的缺陷和故障，在合理期限内免费修理或更换有缺陷的零部件或

整机。

我单位保证所投设备生产厂商在国内开通有技术服务热线，所供设备的质量问题和软件升级完善问题，我单位负责尽快服务（技术人员到达现场的响应时间为 1 个小时内）。质保期内对非人为损坏进行免费维修和维护。当质保期内出现问题，1 小时响应，2 小时内提供补救方案。所发生的一切费用，包括工时费、交通费、住宿费、通讯费、运输（邮寄）费均由供货方承担。

巡检：我公司技术人员对所售设备及软件定期巡检，免费进行软硬件的维护、保养及升级服务，使设备使用率最大化，每年内不少于 3 次上门保养服务，包括寒暑假。

质保外服务：质保期过后如果出现零部件有问题，则我们按照零部件的出厂价格核算，安装调试免费。软件设备提供终身维护和技术支持并提供设备终生免费软件升级，我公司做的服务项目全部免费（配件及耗材除外）；

热线电话：15238002166

售后服务地址：河南省郑州市高新技术产业开发区长椿路 11 号大学科技园研发 5 号楼 13 幢 5A10 号

交货期：合同签订后 4 个工作日

交货地点：客户指定地点

2、技术培训方案

（1）培训计划制定

在广泛的征求客户的培训需求后，经过分析，确定培训计划的内容；制定培训计划的工作流程，按照流程环节制定双方在培训计划中的工作责任。具体如下：

- 1) 确定培训时间，包括开始结束时间、培训持续时间。
- 2) 确定培训参与部门与人员，及参与人员的联系方式。
- 3) 确定培训地点及地点布置要求。
- 4) 制定培训保障机制，明确双方的责任。

5) 确定培训内容，涵盖 FPGA 系统、配套软件、以及运行于 FPGA 系统硬件平台上的软件。

（2）培训时间

具体的培训开始时间，根据项目的进展及用户的要求而定。

（3）培训内容及目标

本项目的培训内容包括以下几个方面，具体根据用户的需求协商而定：

1) 业务培训

讲解概念，提供详细的参数设置指南和业务操作培训，指导用户上机进行模拟操作。

2) 业务系统使用培训

通过培训，使用户掌握 RTL 的时序驱动分割功能，掌握全自动和人工向导模式，能够独立的在应用系统上完成日常工作办理。

3) 运行管理培训

为了使学院的相关人员掌握有关应用系统的使用、维护和管理方法，达到能独立进行管理、故障处理、日常测试和维护等工作的目的，应进行系统的技术培训，以保证所建设的系统能够正常、安全、平稳地运行。

4) 培训目标

使学院的相关人员能完全理解以上软件各个层面的内容以及相关文档，并能通过文档复现开发流程。

(4) 培训方式

培训方式包括：包括课堂讲解（面授）、交流答疑、上机操作和实际工作的参与。

(5) 培训教材

培训教材：为所有被培训人员提供培训用文字资料和讲义等相关材料。涵盖培训方案中所有要求的内容，事无巨细，为将来相关部分发展做铺垫

(6) 培训流程

用户培训的工作流程主要包括培训方案的设计、培训制度的制定、培训课件的制作、培训实施。在此过程中，通过对培训评估及时监控培训效果，保证培训课程符合学校实际的需要，确保系统建设过程中的相关知识最大程度的转移成功，为系统顺利运行提供一批有力的保障人才。我方将和学校相关部门合作，建立相关的培训保障体系，确保培训效果。

培训课程表（共 22 学时）：

序号	培训项目	时长	主要内容	备注
----	------	----	------	----

1	验证平台 使用介绍	3-4 小 时	1. 产品使用文档介绍 2. 产品上下电注意事项 3. 软件界面功能介绍 4. 产品工作环境要求 5. 产品配件介绍	分 2-3 节 课时完成
2	验证平台 存放要求	0.5-1 小时	1. 产品存放要求：防静电，防尘，工作 温湿度，用电需求，放置需求等	1 节课时 完成
3	验证产品 功能讲解	6-8 小 时	1. 与 PC 主机交互功能 2. 调试与信号抓取 3. 比特流下载与校验	分 3-4 节 课时完成
4	验证产品 扩展接口 功能讲解	10-12 小时	1. 扩展功能介绍，包括：存储功能，例 如 DDR4，FLASH 等；通信功能，例如 以太网，USB，PCIE；图像显示功能， 例如 HDMI；接口功能，例如 CAN，I2C 等。 2. 扩展功能实例演示 3. 功能代码模块讲解	分 5-6 节 课时完成
5	软件全流 程功能介 绍	8-10 小 时	1. Compiler 功能介绍与演示 2. Runtime 功能介绍与演示 3. Debugging Tools 功能介绍与演示 4. CentOS 系统安装 5. Xilinx Vivado 工具安装	分 4-5 节 课时完成
6	开源系统 介绍与演 示	4-6 小 时	1. 完成开源处理器在验证产品上功能的 运行并作详细讲解。	分 2-3 课 时完成
7	硬件上层 操作系统 配置和移 植培训	4-6 小 时	1、软核之上的从 Bootloader 到 Linux 操 作系统的配置介绍，能够部署运行。重点 介绍，当底层架构改变时操作系统如何配 置、迁移和移植	分 2-3 课 时完成

			2. 对开源处理器核的介绍，从架构和源代码结合的角度，介绍如何添加自定义模块，相关的实例演示。	
--	--	--	---	--

以上培训课程内容属于交付产品的功能培训，培训过程中以及后续用户在使用产品中任何涉及产品性能的疑问和技术支持，都可以随时联系我司工程师，进行现场或者远程指导。

双方责任承担如下：

工作项目	交付项目	公司的责任	校方的责任
培训方案规划 培训课程开发 培训实施 结果评估	培训方案建议书 培训计划 培训教材 培训记录	培训方案规划 开发培训课程 实施研发管理和运行管理培训	制定培训制度 组织人员参加培训 培训部门负责组织培训工作，并对实施系统最终用户使用培训

(7) 培训分类

培训阶段贯穿于项目建设的全过程，根据项目的进度针对不同的用户、不同的领域进行系统的知识培训。我方计划将安排培训内容初步设计如下（具体培训方案还需等调研郑州大学现状和客户需求后决定）：

1) 项目管理培训

项目管理培训即是原型验证平台的各个阶段的培训，这些阶段包括：项目准备、主要功能介绍、软硬件系统架构、FPGA 硬件系统特性、相关硬件编程软件系统特性、软硬件运行环境、运行于 FPGA 仿真系统之上的操作系统配置与环境。项目管理培训对象是郑州大学的相关人员主要是项目管理人员、骨干业务人员、主要技术人员等。

2) 系统管理培训

为了使郑州大学的相关人员掌握有关应用平台的使用、维护和管理方法，达到能独立进行管理、故障处理、日常测试和维护等工作的目的，应进行系统的技术培训，以保证所建设的系统能够正常、安全、平稳地运行。培训对象是各个使用单位的维护人员（信息员）。

3) 系统使用人员培训

系统使用人员主要是针对平台各个系统的最终用户，进行用户操作的培训。

4) 培训后技术答疑与支持

培训完成后，在质保期内对于软硬件研发过程中所遇到的技术困难提供针对性的技术答疑与支持。

供应商：河南省星盾信息技术有限公司（电子签章）



附件二:

1 UV-19P-Q 先进 FPGA 原型验证系统介绍

1.1 概述

在智能化不断覆盖生活方方面面的今天，超算、大数据、云计算、人工智能等热点高科技应用已成为高性能超大规模数字芯片的必争之地。

UV-19P-Q 提供了性能卓越的编译、分割方案，为芯片验证团队提供了高效的验证工具，降低在原型验证阶段的时间成本。UV-19P-Q 适用于大规模 ASIC 原型验证及 SoC 的开发，单套设备使用了 4 片 Xilinx VU19P FPGA，可灵活堆叠，最大容量支持 25 套设备级联（100 片 FPGA 互联）；同时提供丰富的 FMC 接口子卡，以适配各种接口验证；配合深度调试方案，缩短测试周期，加快芯片上市。

1.2 主要功能

UV-19P-Q 主要功能特点如下：

- ✧ 集成智能化、自动化的全流程编译软件 UV-19P-Q Compiler，验证性能可达 20MHz
- ✧ 支持基于 RTL 的时序驱动分割算法，提供全自动和人工向导两种模式
- ✧ 基于 Xilinx 新型芯片平台，最大容量支持 100 片 FPGA 互联（25 套设备级联，每套设备含 4 片 FPGA）
- ✧ 提供了高逻辑密度和 I/O 数量，搭配业界标准的 FMC 连接器以及专用高速串行连接器
- ✧ 提供丰富多样的调试手段
- ✧ 提供面向多种垂直行业应用的子卡及快速定制服务
- ✧ 支持虚拟原型和 FPGA 原型系统的混合验证
- ✧ 支持高性能接口速率适配
- ✧ 自动化回归管理集成及企业级云部署，可靠、安全，高效管理资源

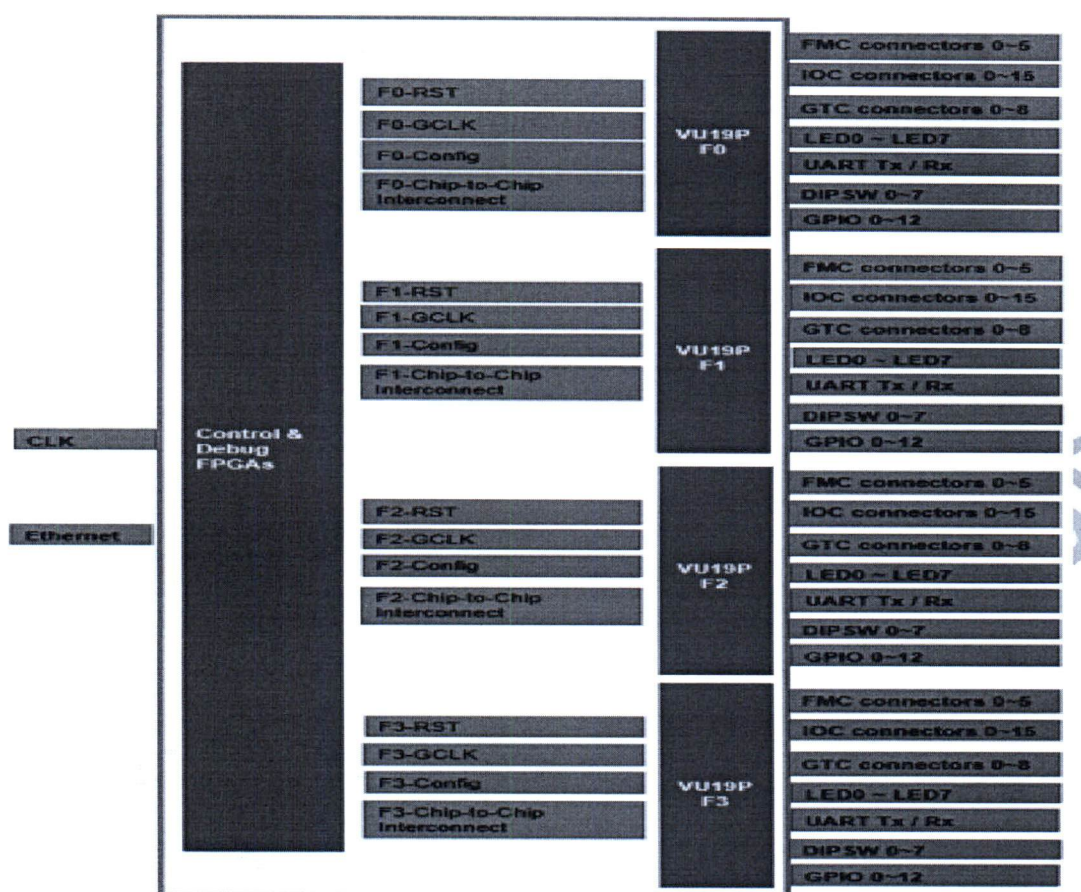
1.3 系统架构

1.3.1 硬件系统架构

硬件框图如下图所示：



板卡内部主芯片连接如下图所示：



硬件系统特性如下：

- ✧ UV-19P-Q 支持 100pcs Xilinx VU19P FPGA 级联，容量可达 40+亿门
- ✧ 每个 UV-19P-Q 设备提供 4 颗 Xilinx XCVU19P-2FSVA3824E (XCVU19P)

FPGAs

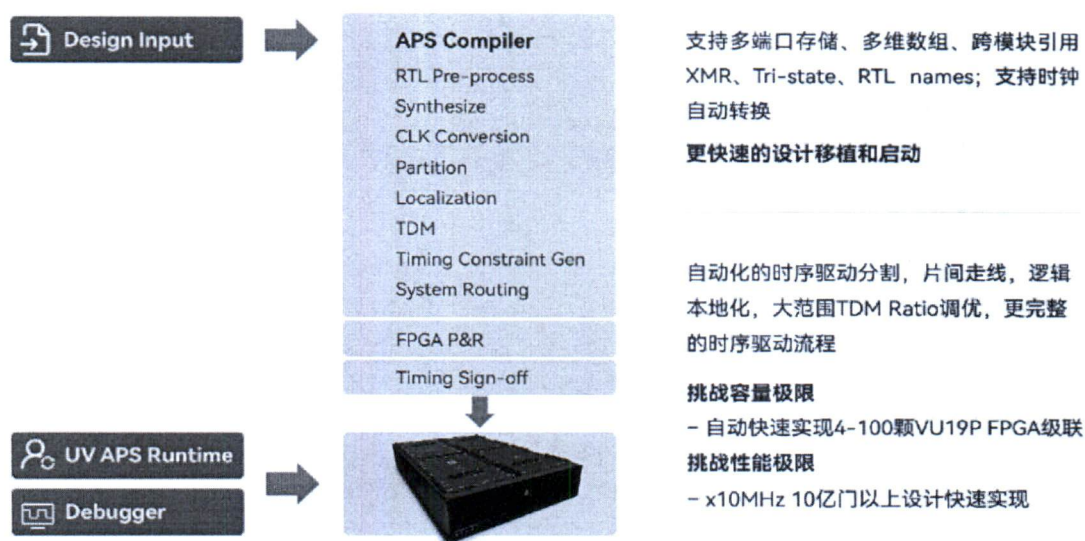
- ✧ 每个 UV-19P-Q 设备提供 16 个可编程全局时钟，这些时钟由 4 颗 XCVU19P 共享，支持 90KHz~350MHz*频率范围
- ✧ 每个 UV-19P-Q 设备提供 12 个独立的 GTY 参考时钟，这些时钟由 4 颗 XCVU19P 共享
- ✧ 每个 VU19P 包括如下接口
 - 6 个标准 FMC 连接器，提供 894 个 IO
 - 16 个 IOC 连接器，提供 768 个 HP IOC
 - 9 个 GTC 连接器，提供 36 个 GTY 高速收发器
- ✧ 支持 PCIE 硬核，2 颗 VU19P 支持 2 个 PCIE Gen3x8 PCIE4C 硬核，另外 2 颗 VU19P 支持 6 个 PCIE4C 硬核
- ✧ 支持 XCVU19P 之间高速互连和插入 TDM IP
- ✧ 支持通过以太网接口连接主机
- ✧ 支持通过以太网接口实现 XVC (Xilinx Virtual Cable)
- ✧ 支持 auto-partitioning 功能，编译工具 UV-19P-Q Compiler
- ✧ 支持远程控制，上电断电
- ✧ 支持安全保护：系统状态监测/过流过压保护/温度监测
- ✧ 支持平台自检

1.3.2 软件系统架构

软件特性如下：

- ✧ 自动化的原型 clock conversion、Timing constraint、分割、Localization、P&R、Timing sign off*.
- ✧ 支持 Large DUT memory, Many-port memory、XMR、Tri-state、RTL names、SDC.
- ✧ 支持 ECO 调试流程.
- ✧ Compiler 可轻松处理 100 颗 FPGA 的设计容量.
- ✧ 典型 SoC 设计编译后运行性能：20+MHz.

软件编译流程如下图所示：



2 技术参数

2.1 功能参数

UV-19P-Q 功能参数如下：

- ✧ 支持与 PC 主机进行数据交互，通信接口为 ETH 或者 UART
- ✧ 支持 FPGA 信号的抓取与调试, 可以使用 JTAG debug 或者使用 UV-19P-Q signal probe debug 工具
- ✧ 支持 FPGA 逻辑代码的比特流下载与校验
- ✧ 支持 FPGA 芯片回读捕获 (Asynchronous Readback capture) 调试功能
- ✧ 对外接口支持多种高速通信协议，如 PCIE、以太网和 USB 等
- ✧ 支持 FPGA 之间通过 TDM IP 互连
- ✧ 支持通过 FMC 子卡扩展外设接口，比如 DDR3/4, PCIE, SRAM 等
- ✧ DDR 子卡和 SRAM 子卡支持后门读写
- ✧ 支持 ASIC 门控时钟自动转换
- ✧ 支持自动 partition 功能
- ✧ 支持三态逻辑自动处理功能

- ✧ 支持自动识别 XMR 代码
- ✧ 支持系统初始化函数自动映射到 memory 功能
- ✧ 支持传统 SDC 时许约束
- ✧ 支持软件复位

2.2 性能参数

UV-19P-Q 性能参数如下：

- ✧ 一台设备支持 4 颗 VU19P FPGA 级联，容量可达 2 亿 ASIC 门
- ✧ 单台设备支持 16 个全局时钟源
- ✧ 支持 FPGA 信号的抓取与调试，采样深度 4 颗 FPGA 可达 8GByte; 采样位宽 256bit-4kbit
- ✧ FPGA I/O 间点到点传输速率最高可达到 1Gbps
- ✧ FPGA GTY 通过线缆连接传输速率最高可达到 25Gbps
- ✧ TDM Ratio 范围：1-1024
- ✧ 典型 SOC 编译后性能 20+MHZ

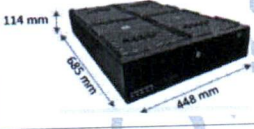
2.3 软硬件运行环境

2.3.1 硬件运行环境

UV-19P-Q 包装组件如下表所示：

Item	QTY	Part No.	Note
UV APS system	1	TBD	Includes the UV APS software package: • Compiler: UV APS Compiler • Runtime: UV APS Console • Debugger: UV APS Signal Probe
Desktop power module	1	UV-Desk-Pow	This module supplies power to one or two UV APS systems.
AC power cable	1	TBD	220V AC power
DC power cable	1	TBD	12V DC power
Ethernet cable	1	-	Standard
RJ45-USB cable	1	-	Standard Connects the UART RJ-45 connector on the UV APS to the network hub or the host directly.
Clock cable	2	UV_CLK_200	Length: 20 cm
IOC cable	1	UV_IOC_1000	Length: 1m
GTC cable	1	UV_HGC_1000	Length: 1m
FMC to IOC daughter card	1	UV_FMCH_OBU1	One FMC connector to three IOC connectors
VUplus DDR4 SODIMM ECC daughter card	1	UV_FMCH_PDDR4DME	16 GB DDR4 72-bit data width single rank ECC supported
SRAM card	1	UV_FMCH_QDRII_SRAM	144 Mb SRAM

UV-19P-Q 设备特性和运行环境要求如下表:

Item	Description
Prototyping FPGA	4 × Xilinx Virtex UltraScale+ XCVU19P-2FSVA3824E
Power supply	12V V _{dc}
Power	Max. 1 kW per UV APS
Global clocks	Range: 90 KHz to 350 MHz Resolution 1 KHz 16 programable global clocks
GTy reference clocks	Range: 1 MHz to 350 MHz Resolution 1 KHz 12 programable GTy reference clocks
Global reset	8 global resets
Dimensions	A 3U rackmount case in the dimensions of 448 mm × 685 mm × 114 mm 
Weight	20 kg
Temperature	20 C to 25 C (60 F to 77 F)
Humidity	40% to 55%

- 安放位置：XX 大楼
- 设备尺寸： $\leq 685\text{mm} \times 448\text{mm} \times 114\text{mm}$ (L*W*H);
- 设备重量： $\leq 20\text{kg}$;
- 防（尘、火、爆、震、波等）、隔（音、振）、防静电：接地电阻 $\leq 2\Omega$;
- 工作温湿度要求：工作温度 $20\text{C}^{\circ} \sim 25\text{C}^{\circ}$; 工作湿度 40%~55%;
- 用电需求：DC12V, $50 \pm 1\text{Hz}$, 1kw。

2.3.2 软件运行环境

UV-19P-Q 运行需要的操作系统和相应软件如下表所示：

Item	Description
Compiler	UV APS Compiler, version 2022.06
Runtime	UV APS Console, version 2022.06
Debugging tools	(Recommended) UV APS Signal Probe, version UVAPS-2022.06-1.0.0
	(Optional) Xilinx® Vivado® Hardware Manager
OS	CentOS 7.8
Synthesis, placement, and routing	Xilinx® Vivado®, version 2021.1

附件三:

技术参数

序号	名称	响应文件技术参数
1	FPGA 原型 验证平台	1、UV-19P-Q平台，核心芯片选用XilinxXCVU19P，芯片工艺16nm。 2、UV-19P-Q平台板载4颗芯片，单颗芯片逻辑资源9M，四颗芯片资源36M。 3、UV-19P-Q平台，单颗芯片RAM资源165Mbit，四颗芯片资源660Mbit。 4、UV-19P-Q平台单颗芯片可用IO数量1600个，板载4颗芯片，IO数量6400个。 5、UV-19P-Q平台单颗芯片可支持48lane，板载4颗芯片。 6、UV-19P-Q平台高速接口速度支持速率25Gbps。 7、UV-19P-Q平台IO电平可支持1.2V，1.35V，1.5V，1.8V。 8、UV-19P-Q平台支持DDR4输入时钟可编程。 9、UV-19P-Q平台支持DDR4功能卡，容量：16G，接口形式FMC，速率达到1866Mbps以上，提供DDR4功能卡。 10、UV-19P-Q平台支持PCIE Gen3X8，提供PCIE功能卡。 11、UV-19P-Q平台支持GPIO, URAT, I2C, 拨码开关，LED，ARM JTAG，提供相关功能卡，接口形式FMC。 12、UV-19P-Q平台支持SDCard， NOR Flash, NAND Flash, EEPROM，提供相关功能卡，接口形式FMC。

	13、UV-19P-Q平台支持CAN2.0提供相关功能卡，接口形式FMC。 14、UV-19P-Q平台支持USB2.0与USB3.0，提供相关功能卡，接口形式FMC。 15、UV-19P-Q平台支持远程程控制，上电断电。 16、UV-19P-Q平台支持系统状态监测，过流过压保护，温度监测。 17、UV-19P-Q平台支持平台功能自检。 18、UV-19P-Q平台支持HDMI功能，支持4K/2k 30Hz，提供HDMI功能卡，接口形式FMC。 APS平台支持千兆网口，提供功能卡，接口形式FMC。 20、UV-19P-Q平台支持多平台级联应用。 21、UV-19P-Q平台支持与PC主机进行数据交互。 22、UV-19P-Q平台支持FPGA信号的抓取和调试。 23、UV-19P-Q平台支持RTL逻辑综合，支持分布式并行模式，可以支持三态信号（tri-state）综合和跨模块信号参考（XMR）综合。 24、UV-19P-Q平台支持门控时钟自动转换功能。 25、UV-19P-Q平台支持16路可编程时钟网络。 26、UV-19P-Q平台支持多端口多维数组自动综合为片内或者片外存储资源。 27、UV-19P-Q平台支持向导分割模式和全自动分割模式。 28、UV-19P-Q平台支持自动插入时分复用IP。	
--	--	--

	29、UV-19P-Q平台支持将设计中大规模存储映射到子卡的功能。 30、UV-19P-Q平台支持通过FMC接口扩展板卡功能。 31、UV-19P-Q平台支持基于RISC-V的原型验证功能。 32、UV-19P-Q平台支持PCIE，以太网，USB高速通信协议。 33、UV-19P-Q平台支持支持FPGA之间通过TDM IP互联。 34、UV-19P-Q平台支持自动识别XMR功能。 35、UV-19P-Q平台支持软件复位功能。 36、UV-19P-Q平台支持FPGA逻辑代码的比特流下载与校验。 37、UV-19P-Q平台支持基于Xilinx芯片的FPGA集成开发平台，可实现FPGA开发、编译、调试、烧写功能。 38、UV-19P-Q平台该数据包括开源处理器相关部分的rtl代码和在APS可以运行的database。系统包括了SD和DDR外设。此设计放到4片FPGA后，同时linux可以正常引导到命令行阶段。	
2	FPGA 开发 计算平台 1、国产品牌，产品在中国本土研发、设计和生产。4U机架式服务器，标配原厂导轨。 2、市场占有率: IDC (2019-2021 年) 全球 X86 服务器，我方所提供的产品厂商销售额和出货量均排名前三名。 3、处理器: 配置 4 颗 Intel Xeon 6240 (2.6GHz/18 核) 处理器。 4、内存: 配置 1024GB 3200MHz DDR4 内存，可扩展 48 个内存插槽；支持高级 ECC、在线备用内存、内存镜像等功能。 5、存储: 配置 1 块独立 RAID 卡，2G 缓存，带断电保护模块，支持 RAID 0、1、5、6；配置 2 块 960GB SSD 硬盘。可扩展至 48 个 SFF 硬盘槽位，支持 16 块 U.2 NVMe 硬盘。	

		6、I/O 扩展:可扩展至 20 个 PCIE 3.0 全高可用插槽。 7、网络:配置 4 个千兆电口、2 个万兆光口（满配光模块）。 8、工作温度:5-45° C 。 9、电源风扇:冗余电源风扇，配置 2 块 1600W 电源模块。 10、可管理性:配置独立管理口，可实现远程控制、硬件监控等功能，包括远程开机、关机、重启、更新固件、虚拟媒体等操作，提供服务器健康日记、故障现场还原等高级特性。支持 TCM/TPM 安全模块，支持安全网卡。配置智能电源管理，支持服务器内部温度切面的 3D 显示和动态功率封顶。配置服务器批量管理软件，可实现服务器统一管理，包括批量安装操作系统、批量固件升级等操作，并应答软件名称。 11、我方投标产品生产厂商具备科学、系统的知识产权管理体系。 12、服务:我方所投产品生产厂商在河南省内设有本地售后（备件）服务机构。
--	--	---

附件四：

清单说明

产品名称	详细说明	实现功能	文档
原型验证系统	四颗 VU19P 硬件平台 编译软件	1. 系统原型验证 2. 远程控制 3. 与 PC 主机进行数据交互 4. 功能扩展 5. 系统状态监测 6. 信号抓取与调试 7. 向导分割与全自动分割 8. 支持基于 RISC-V 的原型验证 9. 逻辑综合 10. 支持全局时钟 11. 自动综合 12. 支持高速通信协议	1. 产品使用手册 2. 编译软件使用手册
功能卡	DDR4 卡 FLASH 卡 GPIO 卡 HDMI 卡 USB 卡 网口卡 PCIE 卡 CAN 功能卡	1. 支持 DDR4 功能 2. 支持 GPIO, URAT, I2C, 拨码开关, LED, ARM JTAG 功能 3. 支持 SD 功能, NOR Flash, NAND Flash, EEPROM 功能 4. 支持 HDMI 输入输出功能 5. 支持千兆网口功能 6. 支持 USB 功能 7. 支持 CAN 接口 8. 支持 PCIE 功能 9. 支持插针	1. 功能卡详细使用手册 2. 测试工程
配件	防尘帽, 互连	配件	/

	线，连接线， 包装箱等		
开源系统	开源处理器	提供了相应的 database，包括 OpenPition 对应的 rtl 代码等， 可以在 APS 原型验证平台，启动 linux	1. 详细文档说明 2. 参考例程