郑州大学物理学院集成电路设计与应用研究院

半导体芯片兼容性分析服务采购项目

**招标编号：豫财招标采购-2021-544**

**用户验收报告**

**用户验收报告**

# 一、项目概况和要求

## 项目概况

提供芯片各层照片图像、平面电路图和层次化电路图，并授权使用相关分析软件，以便于采购方基于上述分析基础完成半导体芯片兼容性芯片设计工作。

|  |  |  |
| --- | --- | --- |
| **序号** | **服务内容** | **技术要求** |
| 1 | 半导体样品制备 | 1. 完成半导体芯片的封装分析，获取半导体芯片裸芯，不能出现管芯缺角、封装材料残留、焊盘过腐蚀等影响后续芯片图像采集的缺陷；
2. 完成管芯逐层解剖，不能出现缺角、互连线损伤、上层金属残留、不明污点、过腐蚀等影响后续芯片图像采集的缺陷；
3. 纵向工艺结构分析工作，清晰呈现各层金属和介质层的厚度信息。
 |
| 2 | 高清显微图像制备 | 1. 完成半导体芯片各层高清图像的采集和后期旋平、纠偏、斜切、拼接、对准等处理工作；
2. 不能出现聚焦不到位导致的图像模糊、重影等影响后续判断连接关系的情形；
3. 芯片最小互连线的宽度应不少于10个像素点。
 |
| 3 | 物理布局分析 | 1. 根据采购方提供的技术资料，完成物理布局分析，包括数字单元、模拟器件的识别和提取、引线和孔的识别和提取，最终获取芯片的平面电路图；
2. 完成电气规则（ERC）检查，确保交付高质量的平面电路数据。
 |
| 4 | 电路结构分析 | 1. 基于半导体芯片的设计规格书等资料，将平面电路分析整理成易于理解的层次化电路图；
2. \*数字电路要识别出时钟树、复位树、扫描链控制等模块；
3. 模拟电路要识别出各级功能模块。
 |

## 交付内容

|  |  |  |
| --- | --- | --- |
| **序号** | **内容** | **描述** |
| 1 | 芯片图像 | 同层无缝拼接、不同层精确对准的芯片图像数据库 |
| 2 | 平面电路图 | 参考芯片图像提取的通过ERC验证的平面电路图 |
| 3 | 层次化电路图 | 从平面电路分析整理得到的易于理解的层次化电路图 |
| 4 | 分析软件和授权文件 | 软件可以支持图像浏览、网表标注、电路分析等功能，且客户端数量不低于30个，软件授权使用期限不少于三年。 |

## 工期要求

\*自合同生效之日起，4周内完成半导体芯片样品制备和高清图像制备工作，其余技术服务工作于1个月内完成，并将工作成果交付采购人。

## 验收标准

|  |  |
| --- | --- |
| **内容** | **验收标准** |
| 图像数据 | 1. 图像数据库：图像清晰、明暗度和对比度合理、无污点、残留、断线、掉孔等影响单元或器件识别、量取器件尺寸、互连关系判断的明显瑕疵；
2. \*同层拼接不出现超过1/2线宽（含）以上的误差，异层对准参差不影响上下层连接关系判断；
3. 芯片最小线宽不少于10个像素点。
 |
| 平面电路图数据 | 1. 模块划分符合物理布局；
2. 器件、单元、线网和模块命名符合业界标准；
3. 按照采购方提供的电路符号和pad名称进行网表提取，若采购方不能提供，则视为由供应方自行定义；
4. 端口、线网名称和标注不出现非法字符；
5. 网表数据没有ERC错误；
6. 交付的数据可以导入第三方EDA工具。
 |
| 层次化电路图数据 | 1. 模拟电路：包含各级功能模块、易于理解的层次化电路图；
2. \*数字电路：数据通路清晰，可读性较强，识别出时钟树、复位树、扫描链控制等模块；
3. 端口、线网、功能模块命名符合业界标准；
4. 功能模块和层次参考datasheet的电路框图进行划分；
5. 交付的数据可以导入第三方EDA工具。
 |
| 软件和授权文件 | 1. 软件可以正常运行，可以进行图像浏览、网表标注、电路分析工作；软件授权使用期限不少于3年；
2. 客户端数量在30个以上。
 |

## 服务要求

供应商需按照采购方的要求，按合同约定按时完成外包需求内容，交付相关成果和文档。

采购方有权对供应商的技术方案、实施过程提出建议、思路和修改意见，以使供应商提供的服务和成果更符合采购方需求。供应商对本合同约定服务内容范围内工作成果做出的修改不另行收费。

如技术文档中有遗漏或错误，供应商应负责更正并对由此给采购方造成的损失进行赔偿。

供应商向采购方交付成果后，应根据采购方需求，免费向采购方指定的人员提供技术指导和培训，确保采购方能够完全掌握使用本项目的成果。

## 知识产权约定

\*该项目规定范围内所产生的知识产权由采购方享有，包括但不限于专利申请权；以及规定范围内产生的技术秘密，采购方享有使用、许可、转让的权利；未经采购方同意，供应商不得擅自使用、许可、转让该技术秘密；

\*采购方有权利用外包单位按照本合同约定提供的研究开发成果进行后续改进，由此产生的具有实质性或创造性技术进步特征的新的技术成果及其权属，由采购方享有。

本采购需求中标注“\*”号的为关键参数，对这些关键技术参数的任何负偏离将导致废标。

# 二、验收情况

## 图像验收情况

|  |  |  |
| --- | --- | --- |
| 验收内容 | 验收情况 | 验收结果 |
| 金属层处理效果 | 残留 ☑ 无 □ 有，但不影响连接 □ 有，影响连接 掉孔 ☑ 无 □ 有，但不影响连接 □ 有，影响连接划伤 ☑ 无 □ 有，但不影响连接 □ 有，影响连接 污点 ☑ 无 □ 有，但不影响连接 □ 有，影响连接断线 ☑ 无 □ 有，但不影响连接 □ 有，影响连接其他  | 通过 |
| 染色层处理效果 | 污点 ☑ 无 □ 有，但不影响连接 □ 有，影响连接 | 通过 |
| 图像采集效果 | 金属线 ☑ 好 □ 较好 □ 一般 □ 较差 □ 很差 通孔 ☑ 好 □ 较好 □ 一般 □ 较差 □ 很差多晶层 ☑ 好 □ 较好 □ 一般 □ 较差 □ 很差接触孔 ☑ 好 □ 较好 □ 一般 □ 较差 □ 很差染色层 □ 好 ☑ 较好 □ 一般 □ 较差 □ 很差污点 ☑ 已补图 □ 未补图明暗度 ☑ 合理 □ 过亮 □ 过暗对比度 ☑ 合理 □ 过亮 □ 过暗  | 通过 |
| 同层拼接效果 | ☑拼接误差均在1/2线宽以下 □有超过1/2线宽拼接误差，但不影响连接关系判断□有超过1/2线宽拼接误差，影响连接关系判断 | 通过 |
| 异层对准效果 | ☑对准参差均在1/2线宽以下 □有超过1/2线宽对准参差，但不影响连接关系判断□有超过1/2线宽对准参差，影响连接关系判断 | 通过 |
| 图层完整性 | ☑ 全部层次完整 □ 缺\_\_\_层  | 通过 |
| 其他说明 | 最小线宽的像素点数量 ☑ 大于10个 □ 不足10个 | 通过 |

**验收人员签字：**

**日期：**

## 网表验收情况

|  |  |  |
| --- | --- | --- |
| 验收内容 | 验收情况 | 验收结果 |
| 模块划分 | ☑按物理布局划分 □未按物理布局划分 | 通过 |
| 器件命名 | ☑符合规范 □不符合规范 | 通过 |
| 线网名称 | ☑符合规范 □不符合规范 | 通过 |
| 模块名称 | ☑符合规范 □不符合规范 | 通过 |
| 电路符号和pad名称 | □甲方提供，并按甲方要求 ☑甲方未提供，我司自定义，符合规范□甲方未提供，我司自定义，不符合规范 | 通过 |
| 特殊器件命名 | ☑无特殊器件□有特殊器件，按照双方约定命名 | 通过 |
| 非法字符 | 端口 ☑无非法字符 □有非法字符线网名称 ☑无非法字符 □有非法字符标注 ☑无非法字符 □有非法字符 | 通过 |
| ERC | **模拟/衬底电位错误**：□ 无错误 ☑ 有281个错误，但经核实均非实质性错误，可忽略。检查选项说明：一般器件的衬底电位会直接连接到电源（VDD）或地线（GND）线上，但会存在一部分中间电位的器件，其衬底电位不与VDD/GND等直接连接，因而报错，但非实质性错误。此ERC检查规则是为了方便列举出存在中间电位的器件进行人工核对，核对无误后，可忽略。**逻辑/悬空的输出引脚：**□ 无 ☑ 有2152个警告，经核实，非实质性错误，可忽略。检查选项说明：当一个实例的输出端口或者引脚没有连接任何元素时，软件会给出悬空的输出引脚提示，核对无误后，可忽略。**逻辑/悬空的双向引脚：**□ 无 ☑ 有77个警告，经核实，非实质性错误，可忽略。检查选项说明：当一个实例的双向引脚没有连接任何元素时，软件会给出悬空的输出引脚提示，核对无误后，可忽略。**模拟/电流源和电流沉：**□ 无 ☑ 有141个警告，经核实，非实质性错误，可忽略。检查选项说明：当一个线网上没有电流源或者没有电流沉时，检查时软件给出提示信息，核对无误后，可忽略。**模拟/倒比管（沟道长度>宽度）：**□ 无 ☑ 有2007个警告，经核实，非实质性错误，可忽略。检查选项说明：当MOS管参数长度大于宽度的时候，给出提示信息，核对无误后，可忽略。**高级/电源端口连接的线网：**□ 无 ☑ 有421990个警告，经核实，非实质性错误，可忽略。检查选项说明：当电源端口连接线网的时候，给出错误提示信息，核对无误后，可忽略。**其他ERC错误或警告**：☑ 无 | 通过 |

**验收人员签字：**

**日期：**

## 电路整理验收情况

|  |  |  |
| --- | --- | --- |
| 验收内容 | 验收情况 | 验收结果 |
| 模拟电路 | 模块功能 ☑ 全部识别出模块功能 □ 有未识别出功能的模块 □ 有功能识别错误的模块层次划分 ☑ 合理 □ 不合理 | 通过 |
| 数字电路 | 数据通路 ☑ 整理 □ 未整理时钟树、复位树、控制电路等：☑ 整理 □ 未整理其他功能模块: ☑ 整理 □ 未整理层次参考datasheet：☑ 参考 □ 未参考 | 通过 |
| 命名 | 端口 ☑ 符合业界标准 □ 有不规范命名 线网 ☑ 符合业界标准 □ 有不规范命名 功能模块 ☑ 符合业界标准 □ 有不规范命名  | 通过 |

**验收人员签字：**

**日期：**

## 软件和授权文件验收情况

|  |  |  |
| --- | --- | --- |
| 验收内容 | 验收情况 | 验收结果 |
| 支持图像流程 | ☑ 支持 □不支持  | 通过 |
| 支持网表标注 | ☑ 支持 □不支持  | 通过 |
| 支持网表标注 | ☑ 支持 □不支持  | 通过 |
| 授权数量 | 30个 | 通过 |
| 授权期限 | 3年 | 通过 |

**验收人员签字：**

**日期：**

**5.验收结论**

|  |  |  |  |
| --- | --- | --- | --- |
| 序号 | 内容 | 验收结果 | 备注 |
| 1 | 提供的图像数据库 | ☑通过 □不通过 | / |
| 2 | 平面电路图 | ☑通过 □不通过 | / |
| 3 | 层次化电路图 | ☑通过 □不通过 | / |
| 4 | 软件功能、授权文件数量 | ☑通过 □不通过 | / |

**综上，本项目验收合格。**

 **用户验收负责人：**

 **用户验收单位：**  郑州大学物理学院

 **验收日期：**